

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-333937

(43)Date of publication of application : 02.12.1994

(51)Int.Cl.

H01L 21/331  
H01L 29/73  
H01L 29/205

(21)Application number : 05-118020

(71)Applicant : NEC CORP

(22)Date of filing : 20.05.1993

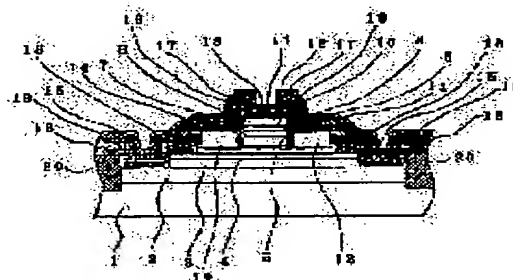
(72)Inventor : SHIMAWAKI HIDENORI

## (54) BIPOLAR TRANSISTOR

## (57)Abstract:

**PURPOSE:** To provide a compound semiconductor bipolar transistor which is reduced in base resistance and base running time and remarkably improved in high-frequency characteristics.

**CONSTITUTION:** In the transistor provided with an emitter layer 7 composed of AlGaAs and collector layer 3 composed of GaAs, a base contact layer 12 (or external base layer) is formed by regrowth and, at the same time, a base layer 5 electrically connected to the layer 12 is composed of a InGaAs graded layer in which the In content is gradually increased as going toward its base-collector junction from its emitter-base junction. Therefore, an inclined base structure can be formed while a regrowth boundary having an excellent electrical contact is maintained between the layers 5 and 12 (or between the intrinsic base layer and external base layer), because no Al oxide compound is formed on the regrowth boundary.



## LEGAL STATUS

[Date of request for examination] 20.05.1993

[Date of sending the examiner's decision of rejection] 30.04.1996

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2771423

[Date of registration] 17.04.1998

[Number of appeal against examiner's decision of rejection] 08-08475

[Date of requesting appeal against examiner's decision of rejection] 30.05.1996

BEST AVAILABLE COPY

[Date of extinction of right]

## \* NOTICES \*

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The bipolar transistor characterized by a part of base layer [ at least ] consisting of an InGaAs graded layer which increased In presentation gradually towards the base collector junction section from the emitter base joint while a part of emitter layer [ at least ] has the base contact layer between a base electrode and a base layer formed of re-growth in part at least in AlGaAs and the bipolar transistor which a part of collector layer [ at least ] becomes from GaAs.

[Claim 2] The bipolar transistor characterized by a part of base layer [ at least ] in an intrinsic region consisting of an InGaAs graded layer which increased In presentation gradually towards the base collector junction section from the emitter base joint while a part of emitter layer [ at least ] has the external base layer of an external base region formed of re-growth in part at least in AlGaAs and the bipolar transistor which a part of collector layer [ at least ] becomes from GaAs.

---

[Translation done.]

## \* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

## [Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to a bipolar transistor, especially the heterojunction bipolar transistor which used the compound semiconductor.

[0002]

[Description of the Prior Art] It has the outstanding description that current drive capacity of a bipolar transistor is large compared with a field-effect transistor. For this reason, researches and developments of the bipolar transistor not only using Si but compound semiconductors, such as GaAs, are done briskly in recent years. Even if especially the bipolar transistor using a compound semiconductor can constitute emitter base junction in a heterojunction and it makes the base into high concentration, there are many advantages -- emitter injection efficiency can be kept large -- and high speed examination of a simple substance component and application to various circuits are advanced energetically.

[0003] When achieving high performance-ization of the simple substance component using such a heterojunction bipolar transistor (HBT), or an application circuit, reduction of base resistance and compaction of base transit time are the important points.

[0004] In order to reduce base resistance, it is effective to reduce the contact resistance in the polar zone. Therefore, the approach of forming a high-concentration carbon dope layer in an external base region with selection re-growth is indicated in the Institute of Electronics, Information and Communication Engineers technical research report besides JP,4-83345,A, JP,4-83346,A, or \*\*\*\*, 92 volumes, No. 417, 23 pages, and 1993.

[0005] Drawing 7 is the typical sectional view of the bipolar transistor indicated by the above-mentioned Institute of Electronics, Information and Communication Engineers technical research report. The semi-insulating substrate 1 which this semiconductor chip becomes from GaAs, and the collector contact layer 2 which consists of n-GaAs (3x10<sup>18</sup>cm<sup>-3</sup> - 3,500nm), Collector layer (5x10<sup>16</sup>cm<sup>-3</sup> - 3,400nm) 3a which consists of n-GaAs, Intrinsic base layer (4x10<sup>19</sup>cm<sup>-3</sup> - 3 or 80nm) 5b which consists of p-GaAs, The emitter graded layer 6 which consists of n-Al<sub>x</sub>Ga<sub>1-x</sub>As (x:0->0.25) (3x10<sup>17</sup>cm<sup>-3</sup> - 3 or 20nm), The emitter layer 7 which consists of n-aluminum<sub>0.25</sub>Ga<sub>0.75</sub>As (3x10<sup>17</sup>cm<sup>-3</sup> - 3,150nm), The graded layer 8 which consists of n-Al<sub>x</sub>Ga<sub>1-x</sub>As (x:0.25->0) (3x10<sup>17</sup>->6x10<sup>18</sup>cm<sup>-3</sup> - 3 or 50nm), The n-GaAs layer (6x10<sup>18</sup>cm<sup>-3</sup> - 3 or 80nm) 9 and the graded layer 10 which consists of n-In<sub>x</sub>Ga<sub>1-x</sub>As (x:0->0.5) (2x10<sup>19</sup>cm<sup>-3</sup> - 3 or 50nm), The emitter contact layer 11 which consists of n-In<sub>0.5</sub>Ga<sub>0.5</sub>As (2x10<sup>19</sup>cm<sup>-3</sup> - 3 or 50nm), External base layer (4x10<sup>20</sup>cm<sup>-3</sup>) 12a which consists of p-GaAs, The emitter electrode 13 which consists of WSi, and the base electrode 14 which consists of Ti/Pt/Au, The collector electrode 15 which consists of AuGeNi/Au, the emitter ejection electrode 16 which consists of Ti/Pt/Au, and SiO<sub>2</sub> It is constituted by film 17, 18, and 19 and the insulating region 20.

[0006] In drawing 7, p-GaAs layer 12a is formed of the selective growth which used the organic metal molecular beam epitaxy method (the MOMBE method is called henceforth), and C (carbon) which is p mold impurity is doped by high concentration. Moreover, the intrinsic base layer 4 has homogeneous-base structure.

[0007] AlGaAs/GaAs which does not use the above re-growth for formation of an external base

region on the other hand In HBT, the p-AlGaAs graded layer to which aluminum presentation was made to increase from the base collector junction section gradually towards the base emitter junction section as the general approach for shortening base transit time is used for a base layer, and the approach of forming inclination base structure is used. Since the electron which is the minority carrier which runs a base layer in this structure is accelerated by pseudo-electric field, as compared with the homogeneous-base structure which runs in a base layer by diffusion, effectiveness, such as compaction of base transit time and improvement in current gain, can be acquired.

[0008]

[Problem(s) to be Solved by the Invention] In order to reduce base resistance effectively in HBT in which an external base region is formed of above-mentioned re-growth, it is important to prevent that aluminum oxide is formed in the re-growth interface between intrinsic base layer 5b and external base layer 12a. So, it is desirable to adopt as the component genuineness section the homogeneous-base structure which consists of GaAs, and the inclination base structure using an AlGaAs graded layer is not desirable. Therefore, while reducing base resistance conventionally using re-growth, it was difficult to fully shorten base transit time.

[0009] Such a trouble is solved, while base resistance is reduced, base transit time is shortened, and the purpose of this invention is to offer HBT of the compound semiconductor which a RF property is remarkable and improved.

[0010]

[Means for Solving the Problem] A part of emitter layer [ at least ] of this invention is characterized by consisting of an InGaAs graded layer which increased In presentation gradually towards the base collector junction section from the emitter base joint while a part of AlGaAs and collector layer [ at least ] had the base contact layer between a base electrode and a base layer formed of re-growth in part at least in the bipolar transistor which consists of GaAs.

[0011] Moreover, it is characterized by consisting of an InGaAs graded layer a part of whose base layer [ at least ] in an intrinsic region while having the external base layer of an external base region formed of re-growth in part at least in the bipolar transistor which a part of AlGaAs and collector layer [ at least ] of this invention become from GaAs in a part of emitter layer [ at least ] increased In presentation gradually towards the base collector junction section from an emitter base joint.

[0012]

[Function] Inclination base structure can be formed by using a p-InGaAs graded layer instead of a p-AlGaAs graded layer. For example, since the forbidden-band width of face of In<sub>0.1</sub>Ga<sub>0.9</sub>As was small 0.156eV compared with GaAs, when the p-InGaAs graded layer with a thickness of 40nm to which In presentation was gradually changed from the base collector junction section from 0.1 to 0 toward the emitter base joint is used for a base layer, it can form in a conduction band side the inclination base structure of having the pseudo-electric field of about 40 keV(s). Thereby, the base transit time of the electron which is a minority carrier can be shortened. Moreover, since aluminum is not included in a base layer in this case, in case an external base region is formed with re-growth, it can prevent that aluminum oxide is formed in a re-growth interface, and the good re-growth interface of electric contact can be formed.

[0013] That is, it is possible to attain reduction of base resistance and compaction of base transit time to coincidence by using an InGaAs graded layer for the base layer of the intrinsic section, and forming the semi-conductor layer in which the impurity dope was carried out by re-growth at high concentration as an external base layer or a base contact layer.

[0014] In addition, when an emitter is set to AlGaAs and a collector is set to GaAs, an InGaAs base layer serves as grid mismatching. However, it is possible to control generating of lattice defects, such as a misfit rearrangement, by considering In presentation contained in a base layer, and the relation of base thickness.

[0015] Moreover, when a collector is set to GaAs, in the base collector junction section, an energy barrier will be produced between InGaAs base layers. If this energy barrier exists, the flow of a carrier is checked and it is not desirable on a component property. However, this energy barrier can be abolished by preparing the InGaAs graded layer which decreased In

presentation gradually towards the direction of a substrate in the base collector junction section contrary to the base layer to the collector layer side.

[0016]

[Example] Below, a drawing is used and explained about the example of this invention.

[0017] Drawing 1 is the sectional view of the semiconductor chip shown in order to explain the 1st example of this invention. The semi-insulating substrate 1 which this semiconductor chip becomes from GaAs, and the collector contact layer 2 which consists of n-GaAs (3x1018cm<sup>-3</sup> - 3,400nm), The 1st collector layer 3 which consists of n-GaAs (5x1016cm<sup>-3</sup> - 3,460nm), n-In<sub>x</sub>Ga<sub>1-x</sub>As (x:0→0.1) gray dead \*\* and others -- with the 2nd collector layer (5x1016cm<sup>-3</sup> - 3 or 40nm) 4 The base layer 5 which consists of a p-In<sub>x</sub>Ga<sub>1-x</sub>As (x:0.1→0) graded layer (6x1019cm<sup>-3</sup> - 3 or 40nm), The emitter graded layer 6 which consists of n-Al<sub>x</sub>Ga<sub>1-x</sub>As (x:0→0.25) (3x1017cm<sup>-3</sup> - 3 or 20nm), The emitter layer 7 which consists of n-aluminum0.25Ga0.75As (3x1017cm<sup>-3</sup> - 3,150nm), The graded layer 8 which consists of n-Al<sub>x</sub>Ga<sub>1-x</sub>As (x:0.25→0) (3x1017→6x1018cm<sup>-3</sup> - 3 or 50nm), The n-GaAs layer (6x1018cm<sup>-3</sup> - 3,120nm) 9 and the graded layer 10 which consists of n-In<sub>x</sub>Ga<sub>1-x</sub>As (x:0→0.5) (2x1019cm<sup>-3</sup> - 3 or 50nm), The emitter contact layer 11 which consists of n-In<sub>0.5</sub>Ga<sub>0.5</sub>As (2x1019cm<sup>-3</sup> - 3 or 50nm), The base contact layer 12 which consists of p-GaAs (4x1020cm<sup>-3</sup> - 3,300nm), The emitter electrode 13 which consists of WSi, and the base electrode 14 which consists of Ti/Pt/Au, The collector electrode 15 which consists of AuGeNi/Au, the emitter ejection electrode 16 which consists of Ti/Pt/Au, and SiO<sub>2</sub> It is constituted by film 17, 18, and 19 and the insulating region 20.

[0018] drawing 1 -- setting -- the p-GaAs layer 12 -- MOMBE -- it is formed of the selective growth using law, and C which is p mold impurity is doped by high concentration. Moreover, the point which forms inclination base structure is the important point, without including aluminum oxide in the re-growth interface between the base layer 5 and the base contact layer 12 by forming the base layer 5 by the InGaAs graded layer.

[0019] Below, a drawing is used and explained about the manufacture approach of an above-mentioned bipolar transistor.

[0020] Drawing 2 - drawing 5 are the sectional views of the semiconductor chip shown in order of the process.

[0021] First, as shown in drawing 2 On the semi-insulating substrate 1 which consists of GaAs, the n-GaAs layers 2 and 3, the n-In<sub>x</sub>Ga<sub>1-x</sub>As (x:0→0.1) graded layer 4, the p-In<sub>x</sub>Ga<sub>1-x</sub>As (x:0.1→0) graded layer 5, and n-Al<sub>x</sub>Ga<sub>1-x</sub>As (x:0→0.25) graded layer 6, the n-aluminum0.25Ga0.75As layer 7, the n-Al<sub>x</sub>Ga<sub>1-x</sub>As (x:0.25→0) graded layer 8, the n-GaAs layer 9, the n-In<sub>x</sub>Ga<sub>1-x</sub>As (x:0→0.5) graded layer 10, And the n-In<sub>0.5</sub>Ga<sub>0.5</sub>As layer 11 is formed by the molecular beam epitaxy method (the MBE method is called henceforth) one by one. Under the present circumstances, Be was used as Si and a p mold impurity as an n mold impurity.

[0022] Next, as shown in drawing 3, they are the WSi layer 13 and SiO<sub>2</sub> to the whole surface. It is SiO<sub>2</sub>, using the photoresist film 21 of a predetermined pattern as a mask, after depositing a layer 17. The film 17 and the WSi layer 13 by reactive ion etching moreover Even the middle of the n-In<sub>0.5</sub>Ga<sub>0.5</sub>As layer 11, the n-In<sub>x</sub>Ga<sub>1-x</sub>As graded layer 10, the n-GaAs layer 9, the n-Al<sub>x</sub>Ga<sub>1-x</sub>As graded layer 8, and the n-aluminum0.25Ga0.75As layer 7 by reactant ion beam etching It etches and an emitter mesa is formed.

[0023] Next, as shown in drawing 4, after removing the photoresist film 21, wet etching removes the n-aluminum0.25Ga0.75As layer 7 of other fields except a field required for a component intrinsic region and base-electrode formation, the n-Al<sub>x</sub>Ga<sub>1-x</sub>As graded layer 6, and the p-In<sub>x</sub>Ga<sub>1-x</sub>As graded layer 5 one by one by using the photoresist film (not shown) of a predetermined pattern as a mask. Then, it is SiO<sub>2</sub> to the whole surface after removing said photoresist film. 18 is deposited for the film. Furthermore, it is SiO<sub>2</sub> by reactive ion etching, using this as a mask, after forming the photoresist film 23 of a predetermined pattern. By removing the film 18, it is SiO<sub>2</sub> to an emitter mesa side face at the same time it carries out opening of the external base region. The side attachment wall which consists of film 18 is formed.

[0024] Next, while wet etching removes the n-aluminum0.25Ga0.75As layer 7 of the field by which opening was carried out, and the n-Al<sub>x</sub>Ga<sub>1-x</sub>As graded layer 6 one by one and exposing

p-Inx Ga1-x As graded layer 5 front face after removing the photoresist film 23 as shown in drawing 5, the hetero guard ring which consists of AlGaAs is formed in an emitter mesa edge. Then, selective growth of the p-GaAs layer 12 is carried out on the p-Inx Ga1-x As graded layer 5 of opening by the MOMBE method, and a base contact layer is formed. In addition, it carried out to the growth raw material at the growth temperature of 450 degrees C using TMG (trimethylgallium) and Solid-state As at this time. Furthermore, H+ for separation between components After performing an ion implantation and forming an insulating region 20, the base electrode 14 which consists of Ti/Pt/Au using the photoresist film 24 (not shown) of a predetermined pattern is formed by lift off.

[0025] Next, it is SiO2, using the photoresist film (not shown) of a predetermined pattern as a mask. After wet etching's removing the film 18, the n-Inx Ga1-x As graded layer 4, and the n-GaAs layer 3 one by one, carrying out opening of the collector field and exposing n-GaAs layer 2 front face, the collector electrode 15 which consists of AuGeNi/Au is formed by lift off. Then, it is SiO2 to the whole surface. It is SiO2 of the emitter electrode upper part by reactive ion etching, using the photoresist film (not shown) of a predetermined pattern as a mask, after depositing the film 19. Film 19 and 17 is removed and the WSi layer 13 is exposed. By forming the emitter ejection electrode of the predetermined pattern which consists of Ti/Pt/Au in the emitter region by which opening was carried out, the process of the component principal part is completed and the bipolar transistor of a compound semiconductor as shown in drawing 1 is made.

[0026] When the component property was evaluated about the bipolar transistor of the 1st example of this invention produced by the above, current gain was 90 or more. Moreover, current gain cut-off frequency fT And maximum oscillation frequency fmax Peak prices are 102GHz and 224GHz, respectively, and improvement with remarkable static characteristic and RF property was conventionally found as compared with the component. Furthermore, since not only emitter base junction but base collector junction was a heterojunction, conventionally, rather than the component, the base extrusion effectiveness was able to be controlled, it was able to become possible to make it operate with high current density more, and much more improvement in a property was able to be achieved.

[0027] Drawing 6 is the sectional view of the semiconductor chip shown in order to explain the 2nd example of this invention. In this example, p-GaAs layer (4x1020cm - 3,350nm) 12a is functioning as an external base layer, and is electrically connected with p-Inx Ga1-x As (x:0.1->0) graded layer 5a which is an intrinsic base layer from the longitudinal direction. About except [ its ], it has the same structure as the 1st above-mentioned example. Moreover, about the manufacture approach, most is carrying out according to the 1st example. However, after carrying out opening of the external base region, wet etching removes the n-aluminum0.25Ga0.75As layer 7 and not only the n-Alx Ga1-x As graded layer 6 but the p-Inx Ga1-x As graded layer 5, and the points which form p-GaAs external base layer 12a on the n-Inx Ga1-x As graded layer 4 differ.

[0028] About the bipolar transistor of the 2nd example of this invention produced by the above, when the component property was evaluated, as compared with the component, improvement with remarkable static characteristic and RF property was conventionally found like the 1st example.

[0029] in addition, the 1st and 2nd above-mentioned examples -- setting -- a base contact layer or an external base layer -- MOMBE, although the case where it was formed of the selective growth using law was described this invention is limited to this -- not having -- a base contact layer or an external base layer -- forming -- hitting -- MOCVD -- other selection grown methods including law, and MBE -- it can apply also about the case where re-growth is performed using a crystal growth method without selectivity, such as law, and the same effectiveness is acquired.

[0030] Moreover, in the 1st and 2nd above-mentioned examples, although the case where p mold impurity of the base layer which constitutes the component genuineness section was Be was described, it cannot be overemphasized that this invention is not limited to this, but C, Zn, etc. can be applied also about the case where other p mold impurities are used, and it has the same

effectiveness.

[0031] Furthermore, in the 1st and 2nd above-mentioned examples, although the case where the base contact layer or external base layer which re-grows consisted of GaAs was described, this invention is not limited to this, but if the high impurity concentration of InGaAs etc. is high enough also about the case where it is constituted by other semiconductor materials, the same effectiveness will be acquired.

[0032]

[Effect of the Invention] In the bipolar transistor of the compound semiconductor with which the base contact layer or external base layer the impurity dope was carried out [ the layer ] by re-growth at high concentration was formed according to this invention as explained above It is possible to form the inclination base structure of having pseudo-electric field to the minority carrier which holds the good re-growth interface of electric contact, without including aluminum oxide between a base layer and a base contact layer or between an intrinsic base layer and an external base layer, and runs a base layer to coincidence. Thereby, reduction of base resistance and compaction of base transit time can be attained to coincidence, and the RF property of a component can be raised remarkably.

---

[Translation done.]



## \* NOTICES \*

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

WRITTEN AMENDMENT

---

----- [a procedure revision]

[Filing Date] November 30, Heisei 5

[Procedure amendment 1]

[Document to be Amended] Specification

[Item(s) to be Amended] Claim

[Method of Amendment] Modification

[Proposed Amendment]

[Claim(s)]

[Claim 1] In the bipolar transistor which a part of AlGaAs and collector layer [ at least ] become from GaAs in a part of emitter layer [ at least ],

The bipolar transistor characterized by a part of base layer [ at least ] consisting of an InGaAs graded layer which increased In presentation gradually towards the base collector junction section from the emitter base joint while having the base contact layer between a base electrode and a base layer formed of re-growth in part at least.

[Claim 2] In the bipolar transistor which a part of AlGaAs and collector layer [ at least ] become from GaAs in a part of emitter layer [ at least ],

The bipolar transistor characterized by a part of base layer [ at least ] in an intrinsic region consisting of an InGaAs graded layer which increased In presentation gradually towards the base collector junction section from the emitter base joint while having the external base layer of an external base region formed of re-growth in part at least.

[Claim 3] The bipolar transistor according to claim 1 or 2 characterized by a part of collector layer [ at least ] in a base KOREKOTA joint consisting of an InGaAs graded layer which decreased In presentation gradually towards the substrate from the base collector junction section.

[Procedure amendment 2]

[Document to be Amended] Specification

[Item(s) to be Amended] 0011

[Method of Amendment] Modification

[Proposed Amendment]

[0011] Moreover, it is characterized by consisting of an InGaAs graded layer a part of whose base layer [ at least ] in an intrinsic region while having the external base layer of an external base region formed of re-growth in part at least in the bipolar transistor which a part of AlGaAs and collector layer [ at least ] of this invention become from GaAs in a part of emitter layer [ at least ] increased In presentation gradually towards the base collector junction section from an emitter base joint. Furthermore, this invention may consist of an InGaAs graded layer to which a part of collector layer [ at least ] in a base KOREKOTA joint decreased In presentation gradually towards the substrate from the base collector junction section.

[Procedure amendment 3]

[Document to be Amended] Specification

[Item(s) to be Amended] 0015

[Method of Amendment] Modification

[Proposed Amendment]

[0015] Moreover, when a collector is set to GaAs, in the base collector junction section, an energy barrier will be produced between InGaAs base layers. If this energy barrier exists, the flow of a carrier is checked and it is not desirable on a component property. However, this energy barrier can be abolished by preparing the InGaAs graded layer which decreased In presentation gradually towards the direction of a substrate in the base collector junction section contrary to the base layer to the collector layer side. Moreover, since the field strength in a collector layer is eased when this InGaAs graded layer is prepared in a collector layer side, it becomes easier to pull out the rate overshoot effectiveness of a carrier, and compaction of the collector transit time of a carrier can be expected by it. Furthermore, since base collector junction turns into a heterojunction, it is possible to make it operate, without controlling the base extrusion effectiveness in high current density operating state, and producing increase of the base transit time of a carrier to high current density more. It is possible to raise a RF property further by this.

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-333937

(43) 公開日 平成6年(1994)12月2日

(51) Int. Cl.<sup>5</sup>  
H 0 1 L 21/331  
29/73  
29/205

識別記号 庁内整理番号

F I

技術表示箇所

H 0 1 L 29/ 72

審査請求 有 請求項の数2 O L (全 8 頁)

(21) 出願番号 特願平5-118020

(22) 出願日 平成5年(1993)5月20日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 嶋脇 秀徳

東京都港区芝五丁目7番1号 日本電気株式会社内

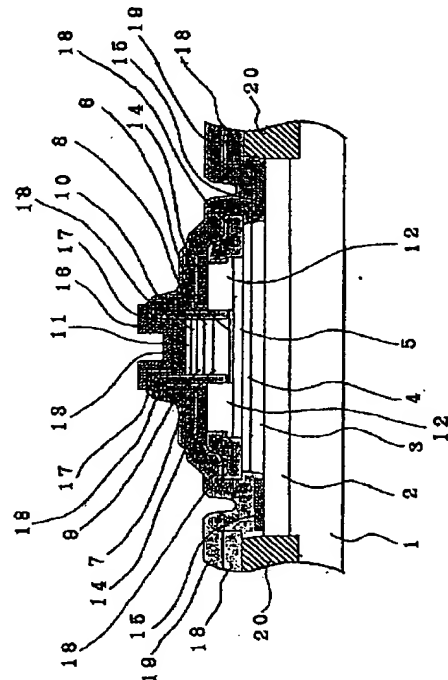
(74) 代理人 弁理士 岩佐 義幸

(54) 【発明の名称】 バイポーラトランジスタ

(57) 【要約】

【目的】 ベース抵抗が低減されるとともにベース走行時間が短縮され、高周波特性の著しく向上された化合物半導体のバイポーラトランジスタを提供する。

【構成】  $AlGaAs$  からなるエミッタ層7および  $GaAs$  からなるコレクタ層3を有するバイポーラトランジスタにおいて、ベースコンタクト層12 (もしくは外部ベース層) が再成長により形成されるとともに、これと電氣的に接続されるベース層5が、エミッタ・ベース接合部からベース・コレクタ接合部に向けて徐々に  $In$  組成を増した  $InGaAs$  グレーデッド層からなることを特徴とする。これにより、ベース層5とベースコンタクト層12の間 (もしくは真性ベース層と外部ベース層の間) の再成長界面に  $Al$  酸化物が形成されないため、電氣的接触の良好な再成長界面を保持しつつ傾斜ベース構造を形成することができる。



## 【特許請求の範囲】

【請求項1】エミッタ層の少なくとも一部がAlGaAs、コレクタ層の少なくとも一部がGaAsからなるバイポーラトランジスタにおいて、ベース電極とベース層間の少なくとも一部に再成長により形成されたベースコンタクト層を有するとともに、ベース層の少なくとも一部が、エミッタ・ベース接合部からベース・コレクタ接合部に向けて徐々にIn組成を増したInGaAsグレーデッド層からなることを特徴とするバイポーラトランジスタ。

【請求項2】エミッタ層の少なくとも一部がAlGaAs、コレクタ層の少なくとも一部がGaAsからなるバイポーラトランジスタにおいて、外部ベース領域の少なくとも一部に再成長により形成された外部ベース層を有するとともに、真性領域におけるベース層の少なくとも一部が、エミッタ・ベース接合部からベース・コレクタ接合部に向けて徐々にIn組成を増したInGaAsグレーデッド層からなることを特徴とするバイポーラトランジスタ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明はバイポーラトランジスタ、特に化合物半導体を用いたヘテロ接合バイポーラトランジスタに関する。

## 【0002】

【従来の技術】バイポーラトランジスタは電界効果トランジスタに比べて電流駆動能力が大きいという優れた特徴を有している。このため、近年、SiのみならずGaAsなどの化合物半導体を用いたバイポーラトランジスタの研究開発が盛んに行われている。特に、化合物半導体を用いたバイポーラトランジスタは、エミッタ・ベース接合をヘテロ接合に構成でき、ベースを高濃度にしてもエミッタ注入効率を大きく保てるなど利点は多く、単体素子の高速化検討および各種回路への応用が積極的に進められている。

【0003】このようなヘテロ接合バイポーラトランジスタ(HBT)を用いた単体素子あるいは応用回路の高性能化をはかる上で、ベース抵抗の低減とベース走行時間の短縮は重要なポイントである。

【0004】ベース抵抗を低減するためには電極部におけるコンタクト抵抗を低減するのが効果的である。そのため、選択再成長により外部ベース領域に高濃度のカーボンドープ層を形成する方法が、特開平4-83345号公報、特開平4-83346号公報、あるいは嶋脇他、電子情報通信学会技術研究報告、92巻、417号、23頁、1993年に記載されている。

【0005】図7は上述の電子情報通信学会技術研究報告に記載されているバイポーラトランジスタの模式的断面図である。この半導体チップは、GaAsからなる半絶縁性基板1と、n-GaAsからなるコレクタコンタ

2

クト層( $3 \times 10^{18} \text{ cm}^{-3}$ , 500nm)2と、n-GaAsからなるコレクタ層( $5 \times 10^{16} \text{ cm}^{-3}$ , 400nm)3aと、p-GaAsからなる真性ベース層( $4 \times 10^{19} \text{ cm}^{-3}$ , 80nm)5bと、n-Al<sub>x</sub>Ga<sub>1-x</sub>As(x:0→0.25)からなるエミッタグレーデッド層( $3 \times 10^{17} \text{ cm}^{-3}$ , 20nm)6と、n-Al<sub>0.25</sub>Ga<sub>0.75</sub>Asからなるエミッタ層( $3 \times 10^{17} \text{ cm}^{-3}$ , 150nm)7と、n-Al<sub>x</sub>Ga<sub>1-x</sub>As(x:0.25→0)からなるグレーデッド層( $3 \times 10^{17} \rightarrow 6 \times 10^{18} \text{ cm}^{-3}$ , 50nm)8と、n-GaAs層( $6 \times 10^{18} \text{ cm}^{-3}$ , 80nm)9と、n-In<sub>x</sub>Ga<sub>1-x</sub>As(x:0→0.5)からなるグレーデッド層( $2 \times 10^{19} \text{ cm}^{-3}$ , 50nm)10と、n-In<sub>0.5</sub>Ga<sub>0.5</sub>Asからなるエミッタコンタクト層( $2 \times 10^{19} \text{ cm}^{-3}$ , 50nm)11と、p-GaAsからなる外部ベース層( $4 \times 10^{20} \text{ cm}^{-3}$ )12aと、WSiからなるエミッタ電極13と、Ti/Pt/Auからなるベース電極14と、AuGeNi/Auからなるコレクタ電極15と、Ti/Pt/Auからなるエミッタ取り出し電極16と、SiO<sub>2</sub>膜17, 18および19と、絶縁領域20とにより構成されている。

【0006】図7において、p-GaAs層12aは有機金属分子線エピタキシー法(以降、MOMBE法と称する)を用いた選択成長により形成され、p型不純物であるC(カーボン)が高濃度にドーピングされている。また、真性ベース層4は均一ベース構造となっている。

【0007】一方、外部ベース領域の形成に上述のような再成長を用いないAlGaAs/GaAs HBTにおいて、ベース走行時間を短縮するための一般的方法として、ベース・コレクタ接合部からベース・エミッタ接合部に向けてAl組成を次第に増加させたp-AlGaAsグレーデッド層をベース層に用い、傾斜ベース構造を形成する方法が用いられている。この構造においてはベース層を走行する少数キャリアである電子が擬電界により加速されるため、拡散によりベース層内を走行する均一ベース構造に比較して、ベース走行時間の短縮や電流利得の向上といった効果を得ることができる。

## 【0008】

【発明が解決しようとする課題】上述の再成長により外部ベース領域が形成されるHBTにおいて効果的にベース抵抗を低減するためには、真性ベース層5bと外部ベース層12aの間の再成長界面にAl酸化物が形成されるのを防止することが重要である。それゆえ、素子真性部にはGaAsからなる均一ベース構造を採用することが望ましく、AlGaAsグレーデッド層を用いた傾斜ベース構造は好ましくない。従って、従来、再成長を用いてベース抵抗を低減すると同時にベース走行時間を十分に短縮することは困難であった。

【0009】本発明の目的は、このような問題点を解決し、ベース抵抗が低減されるとともにベース走行時間が

3

短縮され、高周波特性の著しく向上された化合物半導体のHBTを提供することにある。

#### 【0010】

【課題を解決するための手段】本発明は、エミッタ層の少なくとも一部がAlGaAs、コレクタ層の少なくとも一部がGaAsからなるバイポーラトランジスタにおいて、ベース電極とベース層間の少なくとも一部に再成長により形成されたベースコンタクト層を有するとともに、ベース層の少なくとも一部が、エミッタ・ベース接合部からベース・コレクタ接合部に向けて徐々にIn組成を増したInGaAsグレーデッド層からなることを特徴とする。

【0011】また本発明は、エミッタ層の少なくとも一部がAlGaAs、コレクタ層の少なくとも一部がGaAsからなるバイポーラトランジスタにおいて、外部ベース領域の少なくとも一部に再成長により形成された外部ベース層を有するとともに、真性領域におけるベース層の少なくとも一部が、エミッタ・ベース接合部からベース・コレクタ接合部に向けて徐々にIn組成を増したInGaAsグレーデッド層からなることを特徴とする。

#### 【0012】

【作用】p-AlGaAsグレーデッド層の代わりにp-InGaAsグレーデッド層を用いることにより、傾斜ベース構造を形成することができる。例えば、In<sub>0.1</sub>Ga<sub>0.9</sub>Asの禁制帯幅はGaAsに比べて0.156eV小さいことから、ベース・コレクタ接合部からエミッタ・ベース接合部に向かってIn組成を0.1から0まで徐々に変化させた厚さ40nmのp-InGaAsグレーデッド層をベース層に用いた場合、伝導帯側に約40keVの擬電界を有する傾斜ベース構造を形成することが可能である。これにより、少数キャリアである電子のベース走行時間を短縮させることができる。また、この場合、ベース層にAlを含んでいないことから、外部ベース領域を再成長により形成する際、再成長界面にAl酸化物が形成されるのを防止することができ、電気的接触の良好な再成長界面を形成することができる。

【0013】すなわち、InGaAsグレーデッド層を真性部のベース層に用い、再成長によって高濃度に不純物ドーピングされた半導体層を外部ベース層もしくはベースコンタクト層として形成することにより、ベース抵抗の低減とベース走行時間の短縮を同時に達成することが可能である。

【0014】なお、エミッタをAlGaAs、コレクタをGaAsとした場合、InGaAsベース層は格子不整合となる。しかしながら、ベース層に含有されるIn組成とベース層厚の関係に配慮することにより、ミスフィット転位等の格子欠陥の発生を抑制することが可能である。

4

【0015】また、コレクタをGaAsとした場合には、ベース・コレクタ接合部においてInGaAsベース層との間にエネルギー障壁を生じることになる。このエネルギー障壁が存在するとキャリアの流れが阻害され、素子特性上好ましくない。しかしながら、ベース・コレクタ接合部においてコレクタ層側にベース層とは逆に基板方向に向けてIn組成を徐々に減少させたInGaAsグレーデッド層を設けることにより、このエネルギー障壁をなくすることができる。

#### 【0016】

【実施例】以下に、本発明の実施例について図面を用いて説明する。

【0017】図1は本発明の第1の実施例を説明するために示した半導体チップの断面図である。この半導体チップは、GaAsからなる半絶縁性基板1と、n-GaAsからなるコレクタコンタクト層(3×10<sup>18</sup>cm<sup>-3</sup>, 400nm)2と、n-GaAsからなる第1のコレクタ層(5×10<sup>16</sup>cm<sup>-3</sup>, 460nm)3と、n-In<sub>x</sub>Ga<sub>1-x</sub>As(x:0→0.1)グレーデッドからなる第2のコレクタ層(5×10<sup>16</sup>cm<sup>-3</sup>, 40nm)4と、p-In<sub>x</sub>Ga<sub>1-x</sub>As(x:0.1→0)グレーデッド層からなるベース層(6×10<sup>19</sup>cm<sup>-3</sup>, 40nm)5と、n-Al<sub>x</sub>Ga<sub>1-x</sub>As(x:0→0.25)からなるエミッタグレーデッド層(3×10<sup>17</sup>cm<sup>-3</sup>, 20nm)6と、n-Al<sub>0.25</sub>Ga<sub>0.75</sub>Asからなるエミッタ層(3×10<sup>17</sup>cm<sup>-3</sup>, 150nm)7と、n-Al<sub>x</sub>Ga<sub>1-x</sub>As(x:0.25→0)からなるグレーデッド層(3×10<sup>17</sup>→6×10<sup>18</sup>cm<sup>-3</sup>, 50nm)8と、n-GaAs層(6×10<sup>18</sup>cm<sup>-3</sup>, 120nm)9と、n-In<sub>x</sub>Ga<sub>1-x</sub>As(x:0→0.5)からなるグレーデッド層(2×10<sup>19</sup>cm<sup>-3</sup>, 50nm)10と、n-In<sub>0.5</sub>Ga<sub>0.5</sub>Asからなるエミッタコンタクト層(2×10<sup>19</sup>cm<sup>-3</sup>, 50nm)11と、p-GaAsからなるベースコンタクト層(4×10<sup>20</sup>cm<sup>-3</sup>, 300nm)12と、WSiからなるエミッタ電極13と、Ti/Pt/Auからなるベース電極14と、AuGeNi/Auからなるコレクタ電極15と、Ti/Pt/Auからなるエミッタ取り出し電極16と、SiO<sub>2</sub>膜17, 18および19と、絶縁領域20とにより構成されている。

【0018】図1において、p-GaAs層12はMOBE法を用いた選択成長により形成され、p型不純物であるCが高濃度にドーピングされている。また、ベース層5をInGaAsグレーデッド層により形成することによって、ベース層5とベースコンタクト層12の間の再成長界面にAl酸化物を含むことなく、傾斜ベース構造を形成している点が重要なポイントである。

【0019】以下に、上述のバイポーラトランジスタの製造方法について図面を用いて説明する。

【0020】図2～図5は工程順に示した半導体チップ

の断面図である。

【0021】まず、図2に示すように、GaAsからなる半絶縁性基板1上にn-GaAs層2および3、n-In<sub>x</sub>Ga<sub>1-x</sub>As (x:0→0.1) グレーデッド層4、p-In<sub>x</sub>Ga<sub>1-x</sub>As (x:0.1→0) グレーデッド層5、n-Al<sub>x</sub>Ga<sub>1-x</sub>As (x:0→0.25) グレーデッド層6、n-Al<sub>0.25</sub>Ga<sub>0.75</sub>As層7、n-Al<sub>x</sub>Ga<sub>1-x</sub>As (x:0.25→0) グレーデッド層8、n-GaAs層9、n-In<sub>x</sub>Ga<sub>1-x</sub>As (x:0→0.5) グレーデッド層10、およびn-In<sub>0.5</sub>Ga<sub>0.5</sub>As層11を順次、分子線エピタキシー法（以降、MBE法と称する）により形成する。この際、n型不純物としてSi、p型不純物としてBeを用いた。

【0022】次に、図3に示すように、全面にWSi層13およびSiO<sub>2</sub>層17を堆積した後、所定のパターンのホトレジスト膜21をマスクとしてSiO<sub>2</sub>層17およびWSi層13を反応性イオンエッチングにより、また、n-In<sub>0.5</sub>Ga<sub>0.5</sub>As層11、n-In<sub>x</sub>Ga<sub>1-x</sub>As グレーデッド層10、n-GaAs層9、n-Al<sub>x</sub>Ga<sub>1-x</sub>As グレーデッド層8、およびn-Al<sub>0.25</sub>Ga<sub>0.75</sub>As層7の途中までを反応性イオンビームエッチングによりエッチングしてエミッタメサを形成する。

【0023】次に、図4に示すように、ホトレジスト膜21を除去した後、所定のパターンのホトレジスト膜（図示しない）をマスクとして、素子真性領域およびベース電極形成のために必要な領域を除く他の領域のn-Al<sub>0.25</sub>Ga<sub>0.75</sub>As層7、n-Al<sub>x</sub>Ga<sub>1-x</sub>As グレーデッド層6およびp-In<sub>x</sub>Ga<sub>1-x</sub>As グレーデッド層5を順次、ウエットエッチングにより除去する。続いて、前記ホトレジスト膜を除去した後、全面にSiO<sub>2</sub>膜を18を堆積する。さらに、所定のパターンのホトレジスト膜23を形成した後、これをマスクとして反応性イオンエッチングによりSiO<sub>2</sub>膜18を除去することにより、外部ベース領域を開口すると同時にエミッタメサ側面にSiO<sub>2</sub>膜18からなる側壁を形成する。

【0024】次に、図5に示すように、ホトレジスト膜23を除去した後、開口された領域のn-Al<sub>0.25</sub>Ga<sub>0.75</sub>As層7、n-Al<sub>x</sub>Ga<sub>1-x</sub>As グレーデッド層6をウエットエッチングにより順次、除去してp-In<sub>x</sub>Ga<sub>1-x</sub>As グレーデッド層5表面を露出させるとともに、エミッタメサ端にAlGaAsからなるヘテロガイドリングを形成する。続いて、MOMBE法により開口部のp-In<sub>x</sub>Ga<sub>1-x</sub>As グレーデッド層5の上にp-GaAs層12を選択成長してベースコンタクト層を形成する。なお、この際、成長原料にはTMG（トリメチルガリウム）および固体Asを用い、成長温度450℃で行った。さらに、素子間分離のためのH<sup>+</sup>イオン注入を行って絶縁領域20を形成した後、所定のパター

ンのホトレジスト膜24（図示しない）を用いてTi/Pt/Auからなるベース電極14をリフトオフにより形成する。

【0025】次に、所定のパターンのホトレジスト膜（図示しない）をマスクとしてSiO<sub>2</sub>膜18、n-In<sub>x</sub>Ga<sub>1-x</sub>As グレーデッド層4およびn-GaAs層3を順次ウエットエッチングにより除去してコレクタ領域を開口し、n-GaAs層2表面を露出した後、AuGeNi/Auからなるコレクタ電極15をリフトオフにより形成する。続いて、全面にSiO<sub>2</sub>膜19を堆積した後、所定のパターンのホトレジスト膜（図示しない）をマスクとして反応性イオンエッチングによりエミッタ電極上部のSiO<sub>2</sub>膜19および17を除去し、WSi層13を露出する。開口されたエミッタ領域にTi/Pt/Auからなる所定のパターンのエミッタ取り出し電極を形成することにより素子主要部の工程を完了し、図1に示すような化合物半導体のバイポーラトランジスタができる。

【0026】以上により作製された本発明の第1の実施例のバイポーラトランジスタについて、その素子特性を評価したところ、電流利得は90以上であった。また、電流利得遮断周波数f<sub>r</sub>および最大発振周波数f<sub>max</sub>の最高値は、それぞれ102GHzおよび224GHzであり、従来素子に比較して静特性、高周波特性とも著しい向上が見られた。さらに、エミッタ・ベース接合のみならず、ベース・コレクタ接合がヘテロ接合となっているために、従来素子よりもベース押し出し効果が抑制され、より高電流密度で動作させることが可能となり、一層の特性向上を果たすことができた。

【0027】図6は本発明の第2の実施例を説明するために示した半導体チップの断面図である。この実施例においては、p-GaAs層（4×10<sup>20</sup>cm<sup>-3</sup>、350nm）12aが外部ベース層として機能しており、真性ベース層であるp-In<sub>x</sub>Ga<sub>1-x</sub>As (x:0.1→0) グレーデッド層5aと横方向から電氣的に接続されている。それ以外に関しては上述の第1の実施例と同様の構造を有している。また、その製造方法については、大部分が第1の実施例に準じて行っている。ただし、外部ベース領域を開口した後、n-Al<sub>0.25</sub>Ga<sub>0.75</sub>As層7およびn-Al<sub>x</sub>Ga<sub>1-x</sub>As グレーデッド層6のみならずp-In<sub>x</sub>Ga<sub>1-x</sub>As グレーデッド層5についてもウエットエッチングにより除去し、n-In<sub>x</sub>Ga<sub>1-x</sub>As グレーデッド層4上にp-GaAs外部ベース層12aを形成している点が異なっている。

【0028】以上により作製された本発明の第2の実施例のバイポーラトランジスタについて、その素子特性を評価したところ、第1の実施例と同様、従来素子に比較して静特性、高周波特性ともに著しい向上が見られた。

【0029】なお、上述の第1および第2の実施例においては、ベースコンタクト層もしくは外部ベース層がM

7

OMB E法を用いた選択成長により形成された場合について述べたが、本発明はこれに限定されず、ベースコンタクト層もしくは外部ベース層を形成するにあたり、MOCVD法をはじめとする他の選択成長法やMBE法等の選択性のない結晶成長法を用いて再成長が行われた場合についても適用可能であり、同様の効果が得られる。

【0030】また、上述の第1および第2の実施例においては、素子真性部を構成するベース層のp型不純物がBeである場合について述べたが、本発明はこれに限定されず、C、Zn等、他のp型不純物を用いた場合についても適用可能であり、同様の効果を有することはいうまでもない。

【0031】さらに、上述の第1および第2の実施例においては、再成長されるベースコンタクト層もしくは外部ベース層がGaAsからなる場合について述べたが、本発明はこれに限定されず、InGaAs等、他の半導体材料により構成される場合についてもその不純物濃度が充分高ければ同様の効果が得られる。

#### 【0032】

【発明の効果】以上説明したように本発明によれば、再成長により高濃度に不純物ドーパされたベースコンタクト層もしくは外部ベース層が形成された化合物半導体のバイポーラトランジスタにおいて、ベース層とベースコンタクト層間もしくは真性ベース層と外部ベース層間にAl酸化物を含むことなく電気的接触の良好な再成長界面を保持し、同時に、ベース層を走行する少数キャリアに対して擬電界を有する傾斜ベース構造を形成することが可能である。これにより、ベース抵抗の低減とベース走行時間の短縮を同時に達成することができ、素子の高周波特性を著しく向上させることができる。

#### 【図面の簡単な説明】

【図1】本発明にかかるバイポーラトランジスタの第1の実施例を説明するために使用する半導体チップの断面図である。

【図2】本発明にかかるバイポーラトランジスタの第1の実施例について、その製造方法を説明するために使用する或る工程での半導体チップの断面図である。

【図3】本発明にかかるバイポーラトランジスタの第1の実施例について、その製造方法を説明するために使用する或る工程での半導体チップの断面図である。

【図4】本発明にかかるバイポーラトランジスタの第1

8

の実施例について、その製造方法を説明するために使用する或る工程での半導体チップの断面図である。

【図5】本発明にかかるバイポーラトランジスタの第1の実施例について、その製造方法を説明するために使用する或る工程での半導体チップの断面図である。

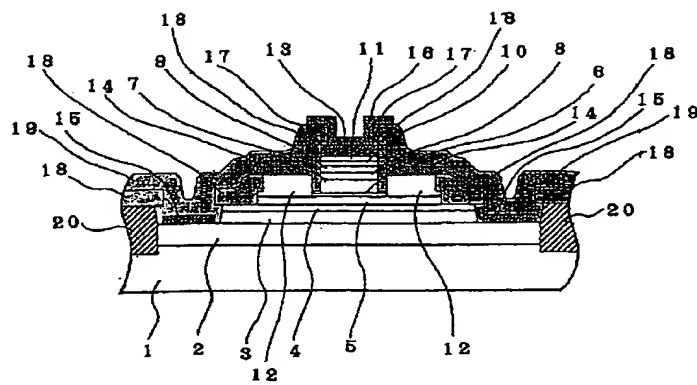
【図6】本発明にかかるバイポーラトランジスタの第2の実施例を説明するために使用する半導体チップの断面図である。

【図7】従来のバイポーラトランジスタを説明するために使用する半導体チップの断面図である。

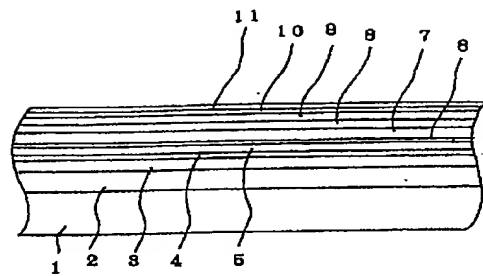
#### 【符号の説明】

- 1 半絶縁性基板：GaAs
- 2 コレクタコンタクト層：n-GaAs
- 3 第1のコレクタ層：n-GaAs
- 3a コレクタ層：n-GaAs
- 4 第2のコレクタ層：n-In<sub>x</sub>Ga<sub>1-x</sub>As層 (x：0→0.1)
- 5 ベース層：p-In<sub>x</sub>Ga<sub>1-x</sub>As (x：0.1→0)
- 5a 真性ベース層：p-In<sub>x</sub>Ga<sub>1-x</sub>As (x：0.1→0)
- 5b 真性ベース層：p-GaAs
- 6 エミッタグレーデッド層：n-Al<sub>x</sub>Ga<sub>1-x</sub>As層 (x：0→0.25)
- 7 エミッタ層：n-Al<sub>0.25</sub>Ga<sub>0.75</sub>As
- 8 グレーデッド層：n-Al<sub>x</sub>Ga<sub>1-x</sub>As層 (x：0.25→0)
- 9 n-GaAs層
- 10 グレーデッド層：n-In<sub>x</sub>Ga<sub>1-x</sub>As (x：0→0.5)
- 11 エミッタキャップ層：n-In<sub>0.5</sub>Ga<sub>0.5</sub>As
- 12 ベースコンタクト層：p-GaAs
- 12a 外部ベース層：p-GaAs
- 13 エミッタ電極：WSi
- 14 ベース電極：Ti/Pt/Au
- 15 コレクタ電極：AuGeNi/Au
- 16 エミッタ取り出し電極：Ti/Pt/Au
- 17, 18, 19 SiO<sub>2</sub>膜
- 20 絶縁領域
- 21, 23, 24 ホトレジスト膜

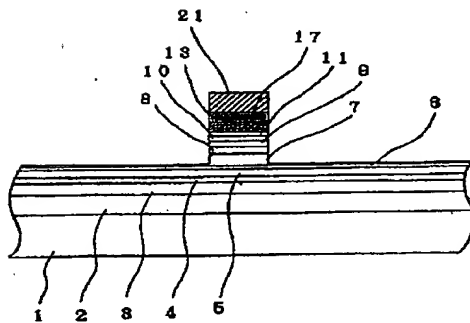
【図1】



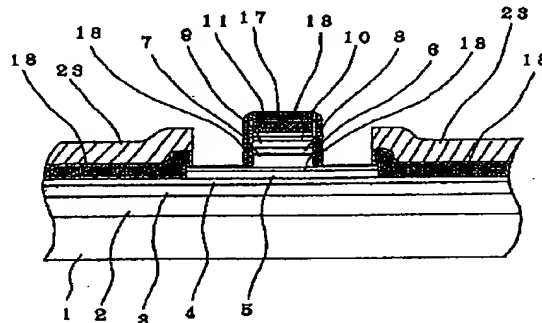
【図2】



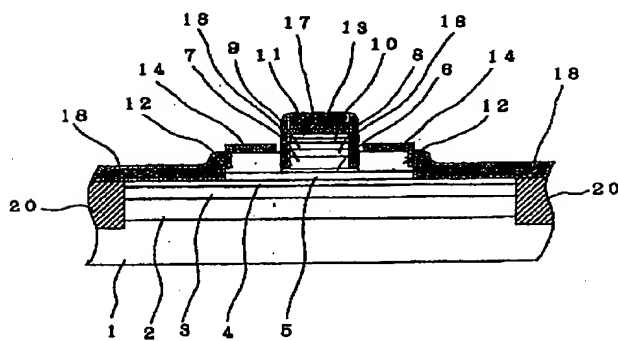
【図3】



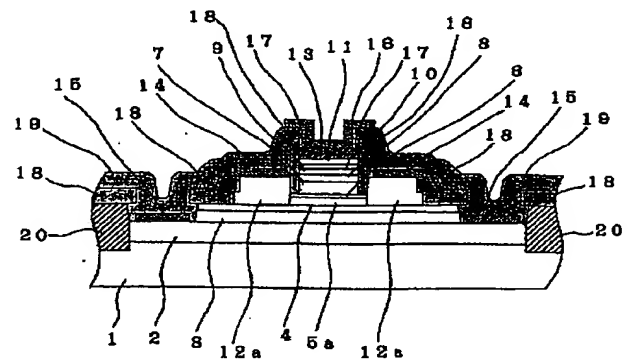
【図4】



【図5】



【図6】







り、それによってキャリアのコレクタ走行時間の短縮を期待できる。さらに、ベース・コレクタ接合はヘテロ接合となるために、高電流密度動作状態におけるベース押し出し効果が抑制され、より高電流密度までキャリアの

ベース走行時間の増大を生じることなく動作させることが可能である。これにより、一層高周波特性を向上させることが可能である。